

PAT-NO: JP402005292A  
DOCUMENT-IDENTIFIER: JP 02005292 A  
TITLE: SEMICONDUCTOR MEMORY  
PUBN-DATE: January 10, 1990

INVENTOR-INFORMATION:

NAME  
OHATA, KENICHI  
YAMAGUCHI, KUNIIHIKO  
KANETANI, KAZUO  
NANBU, HIROAKI

ASSIGNEE-INFORMATION:

NAME	COUNTRY
HITACHI LTD	N/A
HITACHI DEVICE ENG CO LTD	N/A

APPL-NO: JP63153851

APPL-DATE: June 22, 1988

INT-CL (IPC): G11C011/41

US-CL-CURRENT: 365/174

ABSTRACT:

PURPOSE: To avoid the increase of the chip area even though a word line or a bit line is divided into plural pieces by driving &ge;2 cell arrays with a single decoder.

CONSTITUTION: A semiconductor memory contains plural divided cell arrays CA1-CA4, i.e., these arrays are divided into four pieces in the word direction.

In such a case, a row decoder XDEC1 is set at the center part of a chip and the wiring is executed between the XDEC1 and row drivers XD1 and XD2 through cell arrays CA2 and CA3. Then the emitters of transistors TR Q11 and Q21 are connected in common to each other and the XDEC1 is connected to these emitters. Thus the XDEC1 switches the drive current of both TR Q11 and Q21 according to the address signal and drives the arrays CA1-CA4 with the signals taken out of a collector. Thus the increase of the chip area is virtually avoided despite the division of an array.

COPYRIGHT: (C)1990, JPO&Japio

## ⑫ 公開特許公報(A) 平2-5292

⑤ Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)1月10日

G 11 C 11/41

8522-5B

G 11 C 11/34

3 0 1 E

審査請求 未請求 請求項の数 3 (全9頁)

⑭ 発明の名称 半導体メモリ

⑯ 特 願 昭63-153851

⑰ 出 願 昭63(1988)6月22日

⑱ 発 明 者 大 畠 賢 一 千葉県茂原市早野3681番地 日立デバイスエンジニアリング株式会社内

⑲ 発 明 者 山 口 邦 彦 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

\textcircled{21} 出 願 人 日立デバイスエンジニアリング株式会社 千葉県茂原市早野3681番地

\textcircled{22} 代 理 人 弁理士 磯村 雅俊

最終頁に続く

## 明 細 書

## 1. 発明の名称

半導体メモリ

## 2. 特許請求の範囲

1. 分割された複数のセルアレーを有する半導体メモリにおいて、該分割されたセルアレーを跨いだ駆動線を介して複数の行／列ドライバに接続され、かつ該行／列ドライバを駆動するための行／列デコーダを設け、該行／列ドライバは、それぞれトランジスタのコレクタに負荷を、ベースにバイアス電源を、エミッタにバイアス電流源とアドレス信号に応じて該トランジスタの駆動電流を切り換える上記行／列デコーダを、それぞれ接続し、該トランジスタのコレクタから取り出した信号により、該負荷の両側に接続されたセルアレーを駆動することを特徴とする半導体メモリ。

2. 上記各行／列ドライバのトランジスタは、それぞれベースを共通に接続して、該ベースを接

続した共通接続線の各ベース位区での電位降下、各トランジスタのエミッタを共通に接続した共通接続線の各エミッタ位区での電位降下に等しくなるように、上記ベース共通接続線に電流を流すことを特徴とする特許請求の範囲第1項記載の半導体メモリ。

3. 上記各行／列デコーダは、複数のラッチ回路を備え、該ラッチ回路のうち1つのラッチを構成するトランジスタのコレクタに行／列ドライバ駆動線を接続し、制御信号により上記ラッチ回路のラッチ動作を切り換えると同時に駆動電流を切り換えることを特徴とする特許請求の範囲第1項または第2項記載の半導体メモリ。

## 3. 発明の詳細な説明

(産業上の利用分野)

本発明は、半導体メモリに関し、特にワード線、ビット線を分割してもチップ面積を増大させず、高集積化および高速化が可能なバイポーラメモリに関するものである。

(従来の技術)

バイポーラメモリの高集積化に伴って、ワード線、ビット線、負荷容量および配線抵抗を低減するため、セルアレーを分割する必要性が生じてくる。

従来、このようなセルアレーの分割に関する文献としては、例えば、『アイ・イー・イー・イー・インターナショナル・ソリッドステートサーキット・コンファレンス』(IEEE International Solid State Circuits Conference 1987 pp130~131)に記載された方法が知られている。

第10図は、従来のセルアレーの分割方法を示す構成図であり、第11図は、分割されない前のセルアレーの構成図である。

ここでは、ワード線を2分割、ビット線を2分割して、セルアレーを4分割した構成が示されている。

第11図に示すように、分割する前の状態では、セルアレーCA1の横面に行デコーダXDEC1と行ドライバXD1が付加され、セルアレーCA1の縦面に列デコーダYDEC1と列ドライバYD1が付加されている。

ビット線を4分割することにより、セルアレーを16分割している。第12図において、CA1~CA16は分割されたセルアレー、XDEC1~XDEC8は行デコーダ、YDEC1~YDEC8は列デコーダ、XD1~XD16は行ドライバ、YD1~YD16は列ドライバである。従来の考え方では、前述のように、1つのデコーダでは2つのセルアレーしか駆動することができないため、第12図に示すように、行方向、列方向にデコーダを2組ずつ配置する必要があった。その結果、第12図のセルアレーの面積は、第10図のセルアレーの4分割の場合に比べて、チップ面積が大幅に増加していた。また、チップ上の記れた場所にある2つのデコーダに信号を供給するため、遅延時間が増大するという問題があり、この遅延をなくすか、あるいは短縮したいという課題があった。

本発明の目的は、このような従来の課題を解決し、ワード線あるいはビット線を複数個に分割しても、チップ面積をそれほど増加させず、かつ分

第10図において、CA1~CA4はセルアレー、XDEC1~XDEC2は行デコーダ、YDEC1~YDEC2は列デコーダ、XD1~XD4は行ドライバ、YD1~YD4は列ドライバである。デコーダの配置を考慮して、デコーダをセルアレーの中央部に配置することにより、1つのデコーダで2つの分割されたセルアレーを駆動している。これによって、第11図に示すセルアレー分割を行わない場合と、殆んど同じチップ面積で、セルアレーを4分割することができ、ワード線、ビット線の負荷容量および配線抵抗を1/2に低減させることが可能である。

〔発明が解決しようとする課題〕

このように、従来、提案されているセルアレーの分割は、4分割までであって、ワード線あるいはビット線の分割数を4以上にすることは全く考えられていなかった。

第12図は、従来の方法によりセルアレーを16分割した場合の構成図である。

すなわち、この場合には、ワード線を4分割、

割に伴う信号の遅延時間を短縮できる半導体メモリを提供することにある。

〔課題を解決するための手段〕

上記目的を達成するため、本発明の半導体メモリは、分割された複数のセルアレーを有する半導体メモリにおいて、該分割されたセルアレーを跨いだ駆動線を介して複数個の行/列ドライバに接続され、かつ該行/列ドライバを駆動するための行/列デコーダを設け、該行/列ドライバは、それぞれトランジスタのコレクタに負荷を、ベースにバイアス電源を、エミッタにバイアス電流源とアドレス信号に応じて該トランジスタの駆動電流を切り換える上記行/列デコーダを、それぞれ接続し、該トランジスタのコレクタから取り出した信号により、該負荷の両側に接続されたセルアレーを駆動することに特徴がある。また、上記各行/列ドライバのトランジスタは、それぞれベースを共通に接続して、該ベースを接続した共通接続線の各ベース位相での電位降下が、各トランジスタのエミッタを共通に接続した共通接続線の各エ

ミッタ位置での電位降下に等しくなるように、上記ベース共通接続線に電流を流すことにも特徴がある。さらに、上記各行／列デコーダは、複数のラッチ回路を備え、該ラッチ回路のうち1つのラッチを構成するトランジスタのコレクタに行／列ドライバ駆動線を接続し、制御信号により上記ラッチ回路のラッチ動作を切り換えると同時に駆動電流を切り換えることにも特徴がある。

#### 〔作用〕

本発明においては、1つのデコーダで2つ以上のセルアレーを駆動できるようにして、チップ面積を大幅に低減させる。すなわち、複数のトランジスタのエミッタを共通に接続して、ここにデコーダを接続し、このデコーダがアドレス信号に応じてこれらのトランジスタの駆動電流を切り換えることにより、トランジスタのコレクタから取り出した信号でセルアレーを駆動する。また、ドライバをベース接地したトランジスタで構成することにより、ドライバを駆動する信号の振幅を数10mVに低減している。このために、デコーダ

はメモリセルである。

行デコーダXDEC1をチップの中央部に配図し、行デコーダXDEC1と行ドライバXD1、XD2間の配線を、セルアレーCA2、CA3上を通して行う。以下、このセルアレー上の配線を、行ドライバ駆動線と呼ぶ。行デコーダXDEC1は、選択状態の行ドライバには駆動電流を流さず、非選択状態の行ドライバには駆動電流を流すように設計しておく。さらに、行ドライバ用駆動電流が2つの行ドライバXD1、XD2に1/2ずつ流れるように、トランジスタQ11、Q21のベースをバイアスしておく。つまり、両トランジスタQ11、Q21のベースには、定電圧が接続されている。また、行ドライバXD1は、ベース接地されたトランジスタQ11と、トランジスタQ11をバイアスする電流源I<sub>b1</sub>と、トランジスタQ11のコレクタに接続された負荷抵抗R11と、トランジスタQ11のコレクタから信号を取り出して、ワード線W1を駆動するためのダーリントン回路(トランジスタQ12、Q13、抵抗

とドライバ間の配線による遅延は、殆んど生じない。これにより、アレー分割を行っても、チップ面積の増加は殆んどなく、かつ高速度動作が可能である。

#### 〔実施例〕

以下、本発明の実施例を、図面により詳細に説明する。

第1図は、本発明の第1の実施例を示すバイポーラメモリの構成図である。

第1図では、セルアレーをワード方向に4分割した場合であって、1つの行デコーダで4分割されたセルアレーをデコードし、2つの行ドライバでこれら4個のセルアレーを駆動している。ここでは、行デコーダXDEC1と行ドライバXD1、XD2を示すのみで、列デコーダと列ドライバは図示省略されているが、全く同じようにして分割できる。

第1図において、CA1～CA4はセルアレー、XD1～XD2は行ドライバ、XDEC1は行デコーダ、W1～W4はワード線、C11～C4n

R12)とを備えている。行ドライバXD1が選択されたときには、行デコーダXDEC1から駆動電流が供給されないため、トランジスタQ11に流れる電流は、バイアス電流源I<sub>b1</sub>による電流I<sub>b1as</sub>のみであり、選択時のワード線の電位は次式で表わされる。

$$-R11 \times I_{b1as} - V_{BE}(Q12) - V_{BE}(Q13) \quad \dots \dots \dots (1)$$

一方、行ドライバXD1が選択されないときには、行デコーダXDEC1から駆動電流I<sub>xd</sub>が供給される。この駆動電流は、トランジスタQ11、Q21から1/2ずつ分流するので、トランジスタQ11に流れる電流は、I<sub>b1as</sub> + (1/2)I<sub>xd</sub>であり、非選択時のワード線の電位は次式で表わされる。

$$-R11 \times (I_{b1as} + (1/2)I_{xd}) - V_{BE}(Q12) - V_{BE}(Q13) \quad \dots \dots \dots (2)$$

これにより、行デコーダXDEC1の駆動電流により、ワード線の選択・非選択の切り換えが行

わることがわかる。

また、トランジスタQ11のエミッタの電位は、選択時には、 $V_B - V_{BE}(Q11: \text{選択})$ であり、非選択時には、 $V_B - V_{BE}(Q11: \text{非選択})$ となる。ここで、 $V_B$ はトランジスタQ11のベース電位、 $V_{BE}(Q11: \text{選択})$ はトランジスタQ11の選択時の $V_{BE}$ (つまり、ベースエミッタ間電圧)、 $V_{BE}(Q11: \text{非選択})$ はトランジスタQ11の非選択時の $V_{BE}$ である。従って、トランジスタQ11のエミッタの駆動振幅は、次式で表わされる。

$$V_{BE}(Q11: \text{選択}) - V_{BE}(Q11: \text{非選択}) = \frac{kT}{q} \ln \frac{I_{bias} + I_{XD} \times \frac{1}{2}}{I_{bias}} \dots (3)$$

ここで、 $k$ はボルツマン定数、 $T$ はジャンクション温度、 $q$ は電子の電荷量である。

例えば、 $T = 50^\circ\text{C}$ 、 $I_{bias} = (1/20)I_{XD}$ の時には、駆動振幅は約67mVと非常に小さな値となる。これにより、負荷の重い行ドライバ駆動線を高速に駆動することができる。

このように、本実施例では、小さなチップ面積

セルアレーを8分割した場合を示している。

行ドライバXD1～XD4および行デコーダXDEC1の破線で囲まれた部分の構成は、第1図と同じであるので記号を省略する。

本実施例では、行ドライバXD1～XD4の配線抵抗による電位降下を補償するため、トランジスタQ11、Q21、Q31、Q41のベースを共通に接続し、電流源I51によりベース間の配線に電流を流す。トランジスタQ51は、トランジスタQ11、Q21、Q31、Q41のベースにバイアス電圧を与えるために設けてある。行ドライバ駆動線の電位降下に応じて、電流源I51および抵抗R13、R23、R33、R43の値を適当に設計することにより、ベース間配線の電位降下と行ドライバ駆動線の電位降下を等しくすることができる。これによって、配線抵抗による電位降下を補償することができ、その結果、トランジスタQ11、Q21、Q31、Q41に行ドライバの駆動電流を等しく分流させることが可能である。

でアレー分割を行うことが可能であり、かつアレー分割を行ったことにより生じる信号の遅延時間を最小に抑えることができる。なお、第1の実施例では、ダーリントン回路でワード線を駆動しているが、ワード線の負荷が軽い場合には、エミッタホロワ回路で駆動することも可能である。

ところで、本実施例では、行ドライバXD1、XD2の駆動電流をエミッタを共通に接続したベース接地型トランジスタ(第1図のQ11、Q21)に等しく流す必要がある。しかし、集積度が上るに伴って、行ドライバ駆動線は長くなるので、配線抵抗によりベース接地トランジスタ間の分流にアンバランスが生じることが予想される。

第2図は、本発明の第2の実施例を示すパイラメモリの構成図である。この実施例では、行ドライバ駆動線に流れる電流値のアンバランスに対する処置を施している。

第2図において、CA1～CA8はセルアレー、XD1～XD4は行ドライバ、XDEC1は行デコーダ、W1～W8はワード線であり、ここでは

第3図は、本発明の第3の実施例を示すパイラメモリの要部構成図である。

第3図においても、第2図に示すメモリと同じように、複数のベース接地トランジスタに流れる行ドライバ駆動電流を等しくする。

第3図では、ベース接地トランジスタQ11のエミッタに抵抗R14を直列に接続して、その抵抗R14の他端に行ドライバ駆動線を接続している。これによって、トランジスタQ11の行ドライバ駆動線から見たインピーダンスが大きくなるため、電位降下により行ドライバ駆動線に電位差が生じても、エミッタ電流の変化を小さくすることができる。すなわち、電位降下が生じても、ベース接地トランジスタ間の分流のアンバランスを小さくすることが可能である。

第4図は、本発明の第4の実施例を示すパイラメモリの要部構成図である。

第4図においても、複数のベース接地トランジスタに流れる行ドライバ駆動電流にアンバランスが生じても、ワード線電位のクランプ用トランジ

スタQ14を設けることにより、ワード線駆動信号の低レベルを一定にすることが可能である。

すなわち、第4図では、トランジスタQ11に流れる電流が減少しても、ワード線駆動信号の低レベルが上昇しないように、負荷抵抗R11を大きめの値に設計しておく。さらに、トランジスタQ14により、低レベルが所望の電位になるようにクランプする。これによって、行ドライバ駆動線の配線抵抗による行ドライバ駆動電流のアンバランスが生じて、ワード線駆動信号の低レベルを一定にすることが可能である。

第5図、第6図および第7図は、それぞれ本発明の第5、第6、第7の実施例を示すバイポーラメモリのデコーダの要部構成図である。

第5図は、メモリ中のデコーダの構成を示しており、ワイアードオア形デコーダを適用した場合を示している。すなわち、このデコーダは、行ドライバ駆動線に接続されたトランジスタQ61、Q62、Q63および各トランジスタのエミッタに接続された定電流源I61を備えている。トラ

のコレクタは、行ドライバ駆動線に接続される。これにより、行デコーダは、選択状態の行ドライバには駆動電流を供給せず、非選択の行ドライバにのみ駆動電流を供給するようにできる。

第6図では、トランジスタゲート形デコーダを適用した場合が示されている。

このデコーダでは、アドレスバッファの出力をマルチエミッタトランジスタQ64で処理を取り、デコードする。すなわち、複数のエミッタに接続されたアドレスバッファの出力が全てハイレベルのとき、トランジスタQ64は非導通となるため、行ドライバ駆動線に電流が流れず、その行ドライバが選択される。抵抗R61の一端は、マルチエミッタトランジスタQ64のベースおよびコレクタに接続され、他端は行ドライバ駆動線に接続されている。抵抗R61により、各デコーダに流れる電流をほぼ等しくすることができる。このデコーダは、第5図のデコーダに比べて段数が少ないため、高速度動作が期待できる。

第7図には、ショットキバリアダイオード（以

トランジスタQ61、Q62のベースには、アドレスバッファ出力をワイアードオアした信号が入力される。

第13図は、第5図のさらに詳細なデコーダおよびアドレスバッファの構成図であり、デコード数16の場合を示している。

4個のアドレスバッファA0～A3が設けられ、それぞれ2本の正出力と2本の反転出力が4本の共通線に1本ずつ接続されており、これら4本の共通線がワイアードオアされた出力線となっている。4本の共通線のうち、3本がハイレベルに、1本がローレベルになっており、いま第13図に示すように、トランジスタQ61とQ62のベースに接続された共通線が両方ともローレベルLの場合に、両トランジスタQ61、Q62は非導通となるので、行ドライバ駆動線には電流が流れず、その行ドライバを選択したことになる。

トランジスタQ63のベースには、参照電位V<sub>ss</sub>が印加される。電流源I61は、ドライバの駆動電流を供給する。トランジスタQ61、Q62

下、SBDと記す）形デコーダを適用した場合が示されている。このデコーダの構成は、第6図のマルチエミッタトランジスタQ64を、ショットキバリアダイオードD61、D62、D63で置き換えたものである。すなわち、SBDの端子に接続されたアドレスバッファの出力が1つでもローレベルとなれば、そのSBDが導通して抵抗R61から行デコーダ駆動線に電流を流すが、全てのアドレスバッファの出力がハイレベルのときには、いずれのSBDも導通しないので、行ドライバ駆動線には電流が流れず、それらの行ドライバが選択されたことになる。

SBDの接合容量は、トランジスタの接合容量よりも小さいため、第6図のデコーダよりもさらに高速度動作が期待できる。

第8図および第9図は、本発明の第8、第9の実施例を示すバイポーラメモリの要部構成図である。一般に、メモリのサイクル時間の高速化の手法として、メモリ内の回路にラッチ回路を設け、パイプライン動作をさせる方法がある。第8図の

回路では、このパイプライン動作のメモリにも適用できるようにしている。

第5図のワイアードオア形デコーダにラッチ回路を設けた例が示される。すなわち、制御信号 $\overline{CLK}$ により、2つのカレントスイッチ(トランジスタQ61、Q62、Q63からなるカレントスイッチおよびトランジスタQ65、Q66からなるカレントスイッチ)を切り換えることにより、ラッチ動作を行う。つまり、 $\overline{CLK}$ が低レベルのときには、トランジスタQ67が導通し、トランジスタQ61、Q62、Q63からなるカレントスイッチが駆動されて、アドレス信号に応じて行ドライバ駆動線に駆動電流を流す。一方、 $\overline{CLK}$ が高レベルのときには、トランジスタQ68が導通し、トランジスタQ65、Q66からなるカレントスイッチが駆動される。このときには、トランジスタQ61、Q62、Q63からなるカレントスイッチは駆動されていないので、アドレス信号が変化しても、この回路は $\overline{CLK}$ が高レベルになる前の状態を保持することができる。すなわち、

パイプライン制御では、予め先行する動作を行ってラッチ回路にその値をラッチしておき、次のサイクルになるまではその値を受け付けないようにする必要がある。第8図の回路では、パイプライン動作のメモリにおいて、アレーの分割数を増加しても、チップ面積の増加を抑えることができ、小チップ面積で高速サイクル動作が可能なメモリを実現できる。

第9図においても、第5図のワイアードオア形デコーダにラッチ回路を設けた例が示されている。この回路では、トランジスタQ65、Q66からなるカレントスイッチを抵抗R62、R63で発生する差動信号で駆動する。トランジスタQ71および電流源I64は、抵抗R62を行ドライバ駆動線と同じ電位にバイアスするために設けられる。本実施例では、差動信号を用いるために低雑音化が可能であり、トランジスタQ65、Q66からなるカレントスイッチの高速動作が期待できる。

その結果、ラッチ動作に必要な制御信号 $\overline{CLK}$

のパルス幅を小さくすることができるので、第8図の場合よりも、さらにサイクル時間の高速化を期待できる。

なお、第8図、第9図の回路は、メモリ・アドレス信号の若干のずれをタイミング制御により補正する場合にも適用することができる。

第14図は、メモリアドレス信号のずれを補正する場合の説明図である。

(a)に示すように、アドレスバッファからメモリにアドレス信号を入力する場合、配線の長さによって、各信号には位相差が生じ、(b)に示すように、 $t_0$ のずれが生じたときには、ラッチ回路にラッチする時刻を $\overline{CLK}$ 制御信号で制御することにより、これを補正することができる。

なお、全ての実施例では、行デコーダと行ドライバに適用された場合について述べたが、これらの実施例は全て列デコーダと列ドライバにも適用できるのは勿論である。

〔発明の効果〕

以上説明したように、本発明によれば、ワード

線あるいはビット線の分割数を4以上に増加しても、1つのデコーダで4個以上のアレーを駆動できるので、チップ面積の増加を抑えることができ、しかも高速動作が可能な半導体メモリを実現することができる。

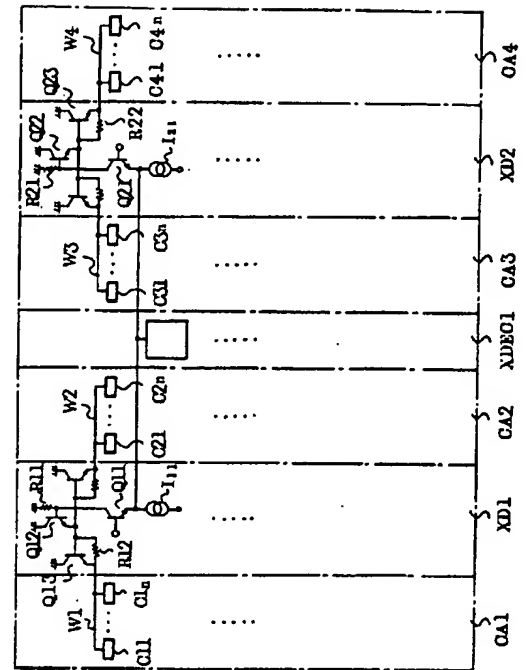
#### 4. 図面の簡単な説明

第1図は本発明の第1の実施例を示すバイポーラメモリの構成図、第2図、第3図および第4図はそれぞれ本発明の第2、第3、第4の実施例を示すもので、行ドライバ駆動線の配線抵抗による駆動電流のアンバランスを補正するための回路図、第5図、第6図および第7図はそれぞれ本発明の第5、第6、第7の実施例を示すもので、行デコーダの要部構成図、第8図および第9図はそれぞれ第8、第9の実施例を示すもので、パイプライン動作のメモリに適した行デコーダの要部構成図、第10図、第11図および第12図はそれぞれ従来の技術を説明するための4分割メモリアレー、分割されないメモリアレー、16分割メモリアレーを示す図、第13図は第5図のワイアードオア

形デコーダの詳細構成図、第14図は第8図と第9図の応用例を示すタイミング補正回路の説明図である。

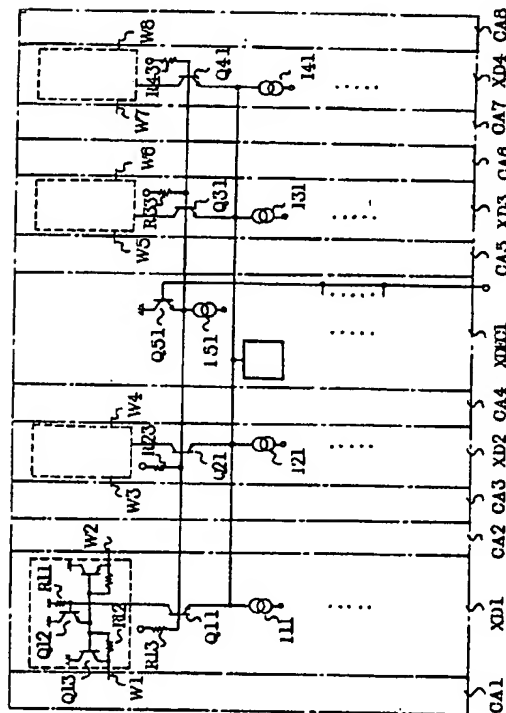
CA1~CA8:セルアレー、XD1~XD4:行ドライバ、XDEC1:行デコーダ、W1~W4:ワード線、C11~C4n:メモリセル、Q11, 12, 13, 14, 61, 62, 63, 65, 66, 67, 68:バイポーラトランジスタ、R11, 12, 61, 62, 63:抵抗、I<sub>11</sub>, I<sub>12</sub>, I<sub>13</sub>:電流源、D61, 62, 63:ショットキバリアダイオード、Q64:マルチエミッタトランジスタ。

図 1

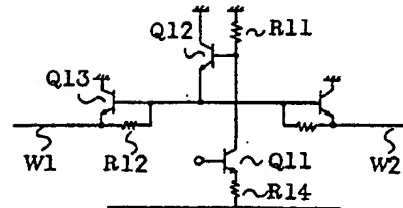


特許出願人 株式会社 日立製作所(ほか1名)  
代理人 弁理士 磯村雅俊

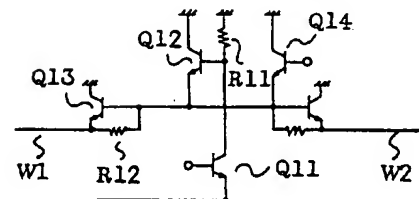
図 2



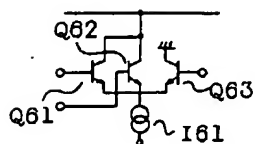
第 3 図



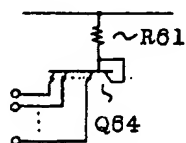
第 4 図



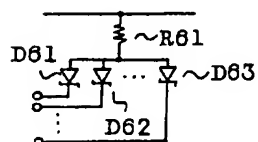
第 5 図



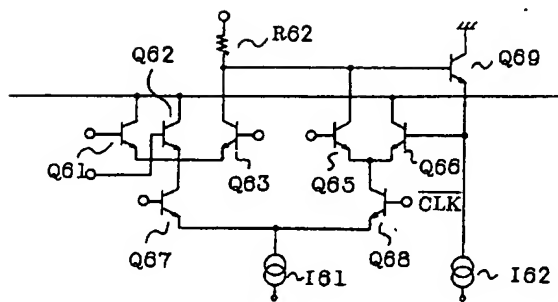
第 6 図



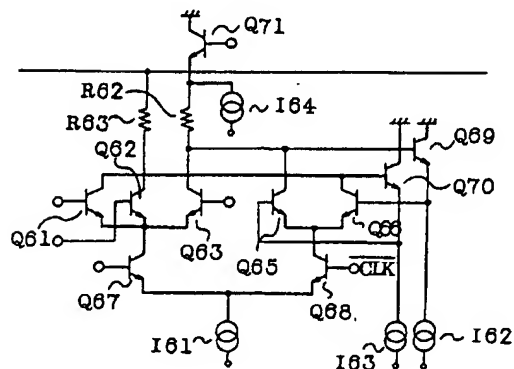
第 7 図



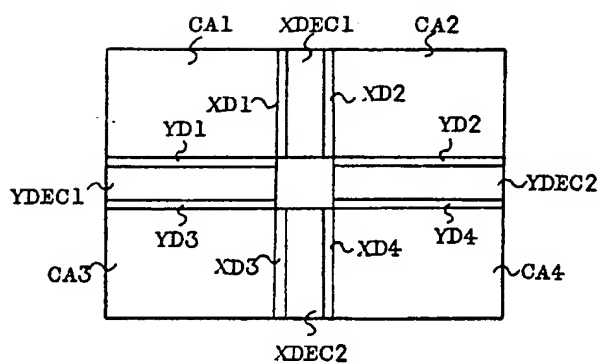
第 8 図



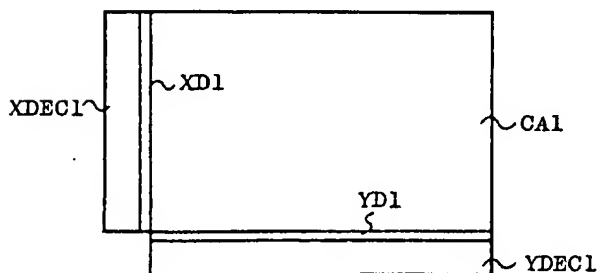
第 9 図



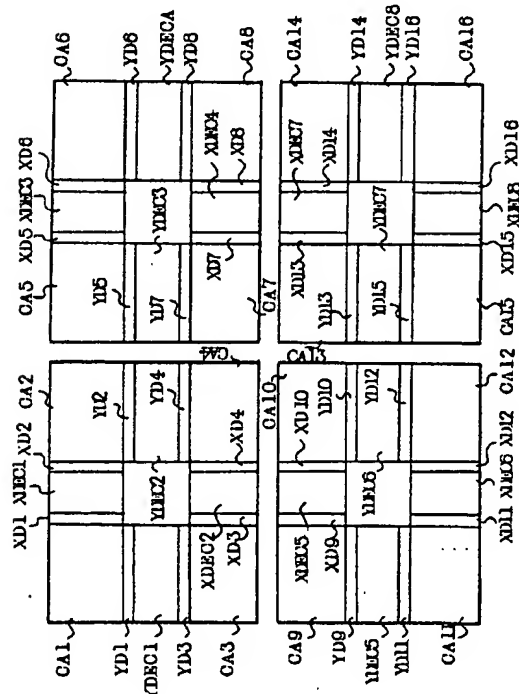
第 1 0 図



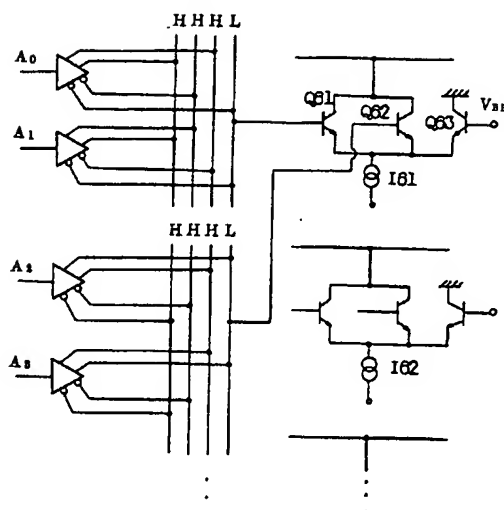
第 1 1 図



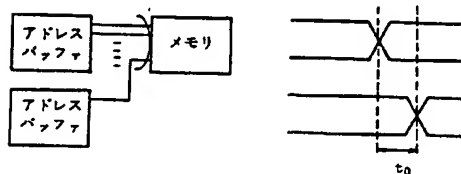
第 1 2 図



第 1 3 図



(a) 第 1 4 図 (b)



第 1 頁の続き

⑦発明者 金谷 一男 東京都国分寺市東恋ヶ窪 1 丁目 280 番地 株式会社日立製作所中央研究所内  
 ⑦発明者 南部 博昭 東京都国分寺市東恋ヶ窪 1 丁目 280 番地 株式会社日立製作所中央研究所内